

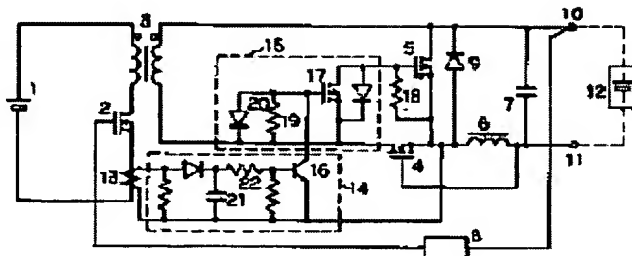
SYNCHRONOUSLY RECTIFYING CONVERTER**Patent number:** JP6343262**Publication date:** 1994-12-13**Inventor:** TANAKA KIICHI; OSHIMA MASAKI; MURAKAMI NAOKI**Applicant:** SHINDENGEN ELECTRIC MFG; NIPPON TELEGRAPH & TELEPHONE**Classification:****- International:** H02M3/28; H02M3/24; (IPC1-7): H02M3/28**- european:****Application number:** JP19930148410 19930528**Priority number(s):** JP19930148410 19930528

Report a data error here

Abstract of JP6343262

PURPOSE: To obtain a synchronously rectifying converter in which a synchronously rectifying FET, a commutating FET are not operated by a reverse current from the other DC power source when used as a parallel connection with another DC power source.

CONSTITUTION: A synchronously rectifying converter comprises a semiconductor switch 2 for converting a DC input voltage to a square wave pulse voltage to be applied to a primary winding of a transformer 3, and a synchronously rectifying FET 4, a commutating FET 5, a choke coil 6, a capacitor 7, etc., for rectifying/smoothing a voltage pulse output from a secondary winding of the transformer 3, wherein the FET 4 is not operated by an external DC power source 12 connected in parallel with the converter. The converter also comprises a switch circuit 15 for detecting a primary or secondary side current value of the transformer 3 to operate the FET 5 when its detected current value becomes a predetermined value or more.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-343262

(43) 公開日 平成6年(1994)12月13日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/28	F	8726-5H		
	H	8726-5H		
	T	8726-5H		

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平5-148410

(22) 出願日 平成5年(1993)5月28日

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 田中 信一

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(72) 発明者 大島 正樹

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(74) 代理人 弁理士 大塚 学

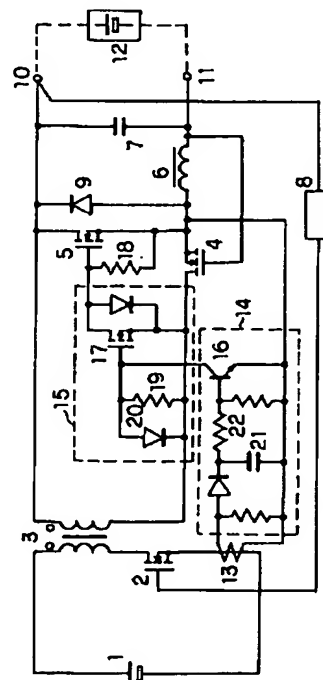
最終頁に続く

(54) 【発明の名称】 同期整流コンバータ

(57) 【要約】

【目的】 他の直流電源と並列接続して用いた場合、その他の直流電源からの逆流電流によって同期整流 F E T、転流 F E T が動作されない同期整流コンバータに関する。

【構成】 直流入力電圧を半導体スイッチ 2 により矩形波パルス電圧に変換してトランスの 1 次巻線に印加し、その 2 次巻線で取り出された電圧パルスを、同期整流 F E T 4、転流 F E T 5、チョークコイル 6、コンデンサ 7 等で整流・平滑する同期整流コンバータであって、前記同期整流 F E T 4 は当該同期整流コンバータに並列接続される外部直流電源 1 2 によっては動作されないように構成された同期整流コンバータにおいて、前記トランス 3 の 1 次側または 2 次側の電流値を検出し、その検出電流値が所定値以上になった場合に前記転流 F E T 5 を動作状態とするスイッチ回路 1 5 を設けたものである。



【特許請求の範囲】

【請求項1】 直流入力電圧をスイッチング素子により矩形波パルス電圧に変換してトランスの1次巻線に印加し、そのトランスの2次巻線に取り出された所望の電圧パルスを、同期整流FET、転流FET、チョークコイル、コンデンサ等により整流・平滑して直流電圧を出力する同期整流コンバータであって、前記同期整流FETは当該同期整流コンバータに並列接続される外部直流電源によっては動作されないように構成された同期整流コンバータにおいて、前記トランスの1次側または2次側の電流値を検出し、その検出電流値が所定値以上になった場合に前記転流FETを動作状態とせしめるスイッチ回路を設けたことを特徴とする同期整流コンバータ。

【請求項2】 直流入力電圧をスイッチング素子により矩形波パルス電圧に変換してトランスの1次巻線に印加し、そのトランスの2次巻線に取り出された所望の電圧パルスを、同期整流FET、転流FET、チョークコイル、コンデンサ等により整流・平滑して直流電圧を出力する同期整流コンバータにおいて、前記トランスの1次側または2次側の電流値を検出し、その検出電流値が所定値以上になった場合に前記同期整流FETおよび前記転流FETを動作状態とせしめるスイッチ回路を設けたことを特徴とする同期整流コンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は同期整流コンバータの改良に関するもので、特に他の直流電源と並列接続して用いることのできる同期整流コンバータに関するものである。

【0002】

【従来の技術】 従来、この種の同期整流回路を用いたDC-DCコンバータとしては、図3に示すように、直流入力電源1の直流電圧を、半導体スイッチ2のスイッチング動作によって矩形波パルス電圧に変換し、この矩形波パルス電圧をトランス3によって所望の電圧に変換した後、半導体整流素子（同期整流FET）4および（転流FET）5の整流回路と、チョークコイル6およびコンデンサ7による平滑回路により整流・平滑して、その平均値電圧として取り出すようにしている。なお、前記した半導体スイッチ2のスイッチング動作の制御は、この同期整流コンバータの出力電圧を検出する電圧検出制御回路8により、その検出状況に基づいて制御される。

【0003】 一般に同期整流回路の場合は、前述した図3のように整流素子4、5として半導体スイッチを用いて同期動作させる場合と、同期整流素子4のみに半導体スイッチを用いて同期動作させる場合とがあるが、本発明は変換効率の向上を重視した前者の回路、即ち、同期整流素子4、5を共に電界効果型の半導体スイッチ（FET）を用いた回路を対象としている。そこで前記半導体整流素子4を同期整流FET4、前記半導体整流素子

5を転流FET5と表現する。なお、転流FET5では転流期間全域に亘ってゲート信号を得ることができないので、通常は転流用ダイオード9を付加してある。そして、このような同期整流コンバータは、小容量から大容量のものまで取り揃え、負荷容量に応じた同期整流コンバータを選択して用いられるようにしている。

【0004】

【発明が解決しようとする課題】 しかし、負荷容量に応じた同期整流コンバータを用意するという事は、その機種数を多くすることであり、各機種毎に在庫を必要とすることになるため、設計、生産および物品管理の上から機種数の削減が望まれており、同一機種の並列接続による大容量負荷への対応が検討されているが、図3に示してある従来の同期整流コンバータを並列接続して用いる場合や、他の直流電源（電池等）を並列接続して用いる場合には、次ような問題が生ずる。即ち、出力端子10、11に前述したように同種の他の同期整流コンバータや、電池等の外部直流電源12が並列接続されている場合において、この並列接続された他の電源の方が、本同期整流コンバータの出力電圧よりも相対的に電圧が高くなり、電圧検出制御回路8がこれを検知して半導体スイッチ2の動作を停止させた場合や、本同期整流コンバータがその保護装置の動作等により電力供給を停止した場合には、出力端子10、11から外部直流電源12の電圧が供給されて、同期整流FET4および転流FET5のゲートに印加されることになり、両FET4、5は導通状態が継続されることになる。これは、整流素子としてFETを用いるとき、そのゲートのバイアスがソース電位に対して正常であれば、この両FET4、5のドレイン-ソース間にはどちらの方向にも電流が流れることができるので出力端子から電流は逆流入し、やがては破壊される可能性がある。本発明は、出力端子10、11に並列接続される外部直流電源12の電圧が、本体の同期整流コンバータの出力電圧よりも高い電圧になることなどによって、本同期整流コンバータが不動作状態になった場合においても、同期整流FET4および転流FET5が外部直流電源12によってオン状態にならないようにした同期整流コンバータを提供するものである。

【0005】

【課題を解決するための手段】 本発明による同期整流コンバータは、直流入力電圧をスイッチング素子により矩形波パルス電圧に変換してトランスの1次巻線に印加し、そのトランスの2次巻線に取り出された所望の電圧パルスを、同期整流FET、転流FET、チョークコイルおよびコンデンサ等により整流・平滑して直流電圧を出力する同期整流コンバータであって、前記同期整流FETは当該同期整流コンバータに並列接続される外部直流電源によっては動作されないように構成された同期整流コンバータにおいて、前記トランスの1次側または2次側の電流値を検出し、その検出電流値が所定値以上に

なった場合に前記転流 FET を動作状態とせしめるスイッチ回路を設け、当該同期整流コンバータに並列接続される外部直流電源によっては前記転流 FET が動作されないようにしたものである。

【0006】本発明による他の同期整流コンバータは、直流入力電圧をスイッチング素子により矩形波パルス電圧に変換してトランスの 1 次巻線に印加し、そのトランスの 2 次巻線に取り出された所望の電圧パルスを、同期整流 FET、転流 FET、チョークコイルおよびコンデンサ等により整流・平滑して直流電圧を出力する同期整流コンバータにおいて、前記トランスの 1 次側または 2 次側の電流値を検出し、その検出電流値が所定値以上になった場合に前記同期整流 FET および前記転流 FET を動作状態とせしめるスイッチ回路を設け、当該同期整流コンバータに並列接続される外部直流電源によっては前記同期整流 FET および前記転流 FET が動作されないようにしたものである。

【0007】

【実施例】図 1 は本発明の第 1 の実施例を示す回路図であり、図 3 に示した従来例と同一部分は同一符号で表している。最初に、本実施例における同期整流 FET 4 の動作状態について説明する。同期整流 FET 4 は、負極性ラインに接続されているチョークコイル 6 の出力側にそのゲートが接続されているので、本同期整流コンバータの 2 次側に正常な矩形波パルスが出力されていれば同期整流 FET 4 は正常に動作するようになっている。しかし、並列接続されている外部直流電源 12 の電圧の方が本同期整流コンバータの出力電圧より相対的に高くなったこと等により、本同期整流コンバータが動作を停止した場合、外部直流電源 12 が出力端子 10、11 に接続されていても、同期整流 FET 4 はそのゲートに適正な正極性の電圧が印加されないため、外部直流電源 12 によっては動作されないようになっている。

【0008】次に、転流 FET 5 の動作について説明する。図 1 から明らかなように、トランス 3 の 1 次側回路に電流トランス 13 を設け、その検出出力を電流検出制御回路 14 で検出しトランジスタ 16 をオンにする。このときスイッチ回路 15 のスイッチ素子 17（図の例では p チャンネル FET）のゲートは負バイアスのまま推移するが、スイッチ素子 17 はそのソースが正になった期間、即ちトランス 3 のフライバック電圧が発生している間のみ導通して転流 FET 5 のゲートに電圧を印加する。従って、本同期整流コンバータが正常に動作していれば、半導体スイッチ 2 に流れる電流は定められた電流値以上になり、電流検出制御回路 14 およびスイッチ回路 15 をオン状態として転流 FET 5 のゲートをバイアスし、転流 FET 5 をオン状態とする。ここで注意すべきことは、電流検出制御回路 14 のトランジスタ 16 はコンデンサ 21 と抵抗 22 による時定数で 1 周期に亘ってオン状態を保持していることである。

【0009】この状態において、本同期整流コンバータの動作が、その外部直流電源 12 の電圧が相対的に高い電圧になったことを電圧検出制御回路 8 で検出されて、半導体スイッチ 2 へのスイッチングパルスの送出が停止することにより、1 次側の電流が所定電流値以下になるため、電流検出制御回路 14 がオフ状態になり、これにより転流 FET 5 の動作を制御するスイッチ回路 15 はオフ状態になる。このように、転流 FET 5 のオン・オフ状態の制御はトランス 3 の 1 次側に流れる電流値の検出によって行われるものであるため、出力端子 10、11 に外部直流電源 12 が接続されていても、その出力端子 10、11 から転流 FET 5 に電流が流れ込む逆流現象は生じない。なお、本同期整流コンバータの負荷が無負荷または転流負荷時には、転流 FET 5 のゲート信号をオフにし、転流 FET 5 には電流が流れなくなるが、転流用ダイオード 9 の順方向には転流整流が流れる。

【0010】図 2 は本発明の第 2 の実施例を示す回路図であり、図 1 に示した第 1 の実施例と同一部分は同一符号で表している。この実施例は、同期整流 FET 4 のゲート制御をも、図 1 で示した転流 FET 5 のオン・オフ動作の制御と同様に、本同期整流コンバータの 1 次側回路電流を検知してオン・オフ制御する回路例である。即ち、図 2 では本同期整流コンバータの負荷電流が決められた電流値以上になると、1 次側電流を電流トランス 13 を介して電流検出制御回路 23 で検出し、スイッチ回路 25 をオンする。スイッチ回路 25 の出力（p チャンネル FET 26）は 2 つに分岐され、1 つは同期整流 FET 4 のゲートを駆動して同期整流 FET 4 をオン状態にさせる。更に分岐されたもう一つは転流 FET 5 の制御回路 27 に接続されており、この制御回路 27 の出力により図 1 の実施例と同様にスイッチ回路 15 を制御して転流 FET 5 をオン状態にする。

【0011】図 2 の電流検出制御回路 23 で検出した電流の位相と、これによって動作する同期整流 FET 4 の位相は同位相であるため、図 1 に示した電流検出制御回路 14 に比べると、図 2 の電流検出制御回路 23 は大きな時定数回路は不要である。しかし、その代りに転流 FET 5 の制御回路 27 には、図 1 の電流検出回路 14 と同じ時定数回路が必要である。次に、電流トランス 13 で検出される電流値が所定値以下になると、電流検出制御回路 23 とそれに続くスイッチ回路 25 をオフ状態にし、同期整流 FET 4 をオフ状態にする。また、同時に転流 FET 5 の制御回路 27 とそれに続くスイッチ回路 15 をオフ状態にして転流 FET 5 をオフにする。従って、半導体スイッチ 2 が動作を停止しているとき、或いは回路電流が少ないときには同期整流 FET 4 または転流 FET 5 はオフ状態になり、外部直流電源 12 と並列運転時にも出力端子 10、11 から逆流電流が流れ込むことはない。

【0012】なお、図1および図2の抵抗18、19、28、29およびダイオード20、30はトランス3に電圧が発生していないときに同期整流FET4および転流FET5のゲート回路のインピーダンスが高くなって誤動作するのを防ぐ目的で設けられたものである。また、図1および図2に示した実施例は、いずれも電流検出をトランス3の1次側で行っているが、トランス3の2次側で行ってもよい。また回路電流の検出には電流トランス13を使っているが、代わりに低抵抗を使ってその両端の電圧降下を検出して電流検出制御回路14または23の入力信号とすることもできる。ただし、1次側で検出電圧降下を検出する場合は、フォトカプラ等を用いて絶縁された信号で整流回路を制御する必要がある。

【0013】

【発明の効果】以上述べたように本発明によれば、同期整流コンバータの入力側電流または出力側電流を検出して、その検出電流が定められた電流値以上の場合にのみ転流FETを動作させ（この場合、同期整流FETは他の手段により外部直流電源の逆流電流阻止が行われる。）、または同期整流FETと転流FETを動作させ、当該同期整流コンバータに並列接続された外部直流電源によっては前記同期整流FET、転流FETが動作されないようにしたものであり、外部直流電源の並列接続運転を可能にし、特に同種の同期整流コンバータを負荷容量に応じて並列接続ができるようにしたもので、運転の安全性と共に、同期整流コンバータの機種削減を図り得る効果を奏するものである。

【図面の簡単な説明】

【図1】本発明による同期整流コンバータの第1の実施例回路図である。

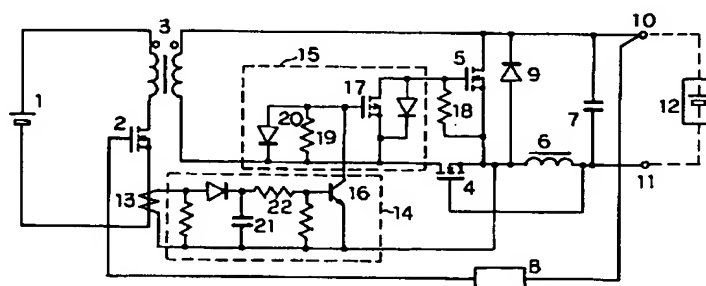
【図2】本発明による同期整流コンバータの第2の実施例回路図である。

【図3】従来の同期整流コンバータの回路図である。

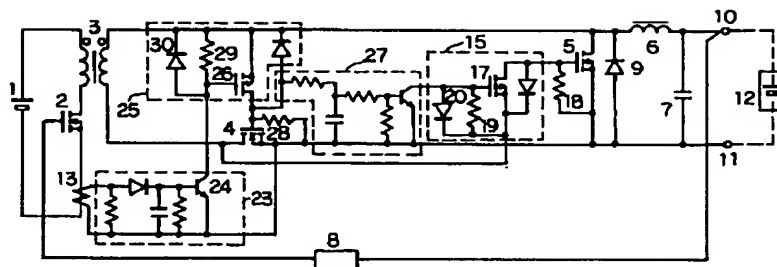
【符号の説明】

- 1 直流入力電源
- 2 半導体スイッチ
- 3 電圧変換トランス
- 4 同期整流FET
- 5 転流FET
- 6 チョークコイル
- 7、21 コンデンサ
- 8 電圧検出制御回路
- 9 転流用ダイオード
- 10、11 出力端子
- 12 外部直流電源
- 13 電流トランス
- 14、23 電流検出制御回路
- 15、25 スイッチ回路
- 16、24 トランジスタ
- 17、26 制御用FET
- 18、19、22、28、29 抵抗
- 20、30 ダイオード
- 27 制御回路

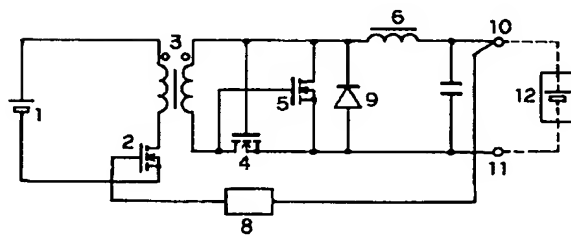
【図1】



【図2】



【図3】



フロントページの続き

(72) 発明者 村上 直樹
 東京都千代田区内幸町一丁目1番6号 日
 本電信電話株式会社内